

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP406342878A
PAT-NO: JP406342878A
DOCUMENT-IDENTIFIER: JP 06342878 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 13, 1994

INVENTOR-INFORMATION:

NAME

ITO, SHINICHI

ASSIGNEE-INFORMATION:

NAME

FUJI ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP06017706

APPL-DATE: February 15, 1994

INT-CL_(IPC): H01L027/04

ABSTRACT:

PURPOSE: To realize a semiconductor structure in which a measured value of a diffused resistor approaches a measured value after scribing in a monolithic semiconductor device having an active element and a vertical diffused resistor.

CONSTITUTION: A p-type impurity-implanted region 13 of a planar closed loop state circulated along a chip split end 12a is formed at a front surface side of an n-type semiconductor substrate 12 formed with a rear surface electrode 10, and its central part 12b remains on a non-forming region of the region 13. A surface electrode is brought into conductive contact with surfaces of the region 13 and the part 12b. Vertical diffused resistance regions R which are not substantially terminated at the end 12a are formed laterally symmetrically to a thickness direction of the board. A spread suppression of the resistance region due to a pinching effect of the region 13 is

slightly operated, and part
of the resistance region is not substantially extended in
an adjacent bulk.

COPYRIGHT: (C)1994,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-342878

(43) 公開日 平成6年(1994)12月13日

(51) Int.Cl.⁵

H 0 1 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

R 8832-4M

審査請求 未請求 請求項の数14 O L (全 8 頁)

(21) 出願番号 特願平6-17706

(22) 出願日 平成6年(1994)2月15日

(31) 優先権主張番号 特願平5-78427

(32) 優先日 平5(1993)4月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 伊藤 伸一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

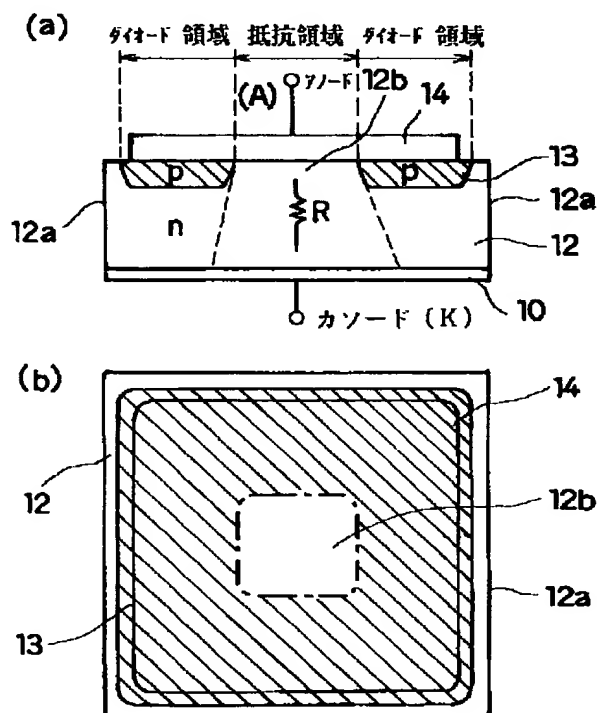
(74) 代理人 弁理士 山田 稔

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 能動素子と縦形拡散抵抗を有するモノリシック半導体装置において、ウェハプロセス段階での拡散抵抗の測定値がスクライビング後の測定値に近くなるような半導体構造を実現する。

【構成】 裏面電極10が形成されたn型半導体基板12の表面側にチップ分割端12aに沿って周回する平面閉ループ状のp型不純物導入領域13が形成されており、その中央部12bはp型不純物導入領域13の非形成領域として残されている。p型不純物導入領域13及び中央部12bの表面には表面電極4が導電接触している。基板厚み方向に対して左右対称形でチップ分割端12aでは実質的に終端しないとみれる縦形拡散抵抗領域Rが形成されている。またループ状不純物導入領域13のピンチ効果による抵抗領域の拡がり抑制も多少作用し、実質上、隣接バルク内に縦形拡散抵抗領域の一部はみ出しがなくなる。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の第1の主面側に形成された平面ループ状の第2導電型の不純物導入領域を有し、該半導体基板の第1の主面と該半導体基板の第2の主面に導電接触する第2主面電極部との間で電流が流れる能動素子と、該半導体基板内において第1の主面のうち該平面ループ状の不純物導入領域に囲まれた領域に導電接触する第1主面電極部と第2主面電極部の間に形成される縦形拡散抵抗領域とを備えてなることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記平面ループ状の不純物導入領域は、チップ分割端に沿って周回した領域であることを特徴とする半導体装置。

【請求項3】 請求項1又は請求項2に記載の半導体装置において、前記平面ループ状の不純物導入領域は閉ループ状であることを特徴とする半導体装置。

【請求項4】 請求項1乃至請求項3のいずれか一項に記載の半導体装置において、前記縦形拡散抵抗領域は前記能動素子に並列接続されてなることを特徴とする半導体装置。

【請求項5】 請求項1乃至請求項4のいずれか一項に記載の半導体装置において、前記不純物導入領域は縦形接合ダイオードのアノード領域又はカソード領域であることを特徴とする半導体装置。

【請求項6】 請求項1乃至請求項4のいずれか一項に記載の半導体装置において、前記不純物導入領域は縦形バイポーラトランジスタのベース領域であることを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置において、前記第1主面電極部は前記ベース領域にも導電接触していることを特徴とする半導体装置。

【請求項8】 請求項6に記載の半導体装置において、前記ベース領域の主面側にエミッタ領域が形成され、前記第1主面電極部は該エミッタ領域にも導電接触していることを特徴とする半導体装置。

【請求項9】 請求項1乃至請求項4のいずれか一項に記載の半導体装置において、前記不純物導入領域は縦形2重拡散MOSFETのチャネル拡散領域であることを特徴とする半導体装置。

【請求項10】 請求項1乃至請求項4のいずれか一項に記載の半導体装置において、前記不純物導入領域は縦形サイリスタのゲート領域であることを特徴とする半導体装置。

【請求項11】 請求項10に記載の半導体装置において、前記第1主面電極部は前記ゲート領域にも導電接触していることを特徴とする半導体装置。

【請求項12】 請求項10に記載の半導体装置において、前記ゲート領域の主面側にはカソード領域が形成され、前記第1主面電極部は該カソード領域にも導電接触

していることを特徴とする半導体装置。

【請求項13】 請求項11又は請求項12に記載の半導体装置において、前記半導体基板の第2主面側には前記ゲート領域と対峙するよう平面ループ状のアノード領域が形成されていることを特徴とする半導体装置。

【請求項14】 請求項1に記載の半導体装置において、前記第2導電型の不純物領域は平面ループ状に多数整列的に形成されており、各第2導電型の不純物領域は前記能動素子の単位セルを形成して成ることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ダイオード、バイポーラトランジスタ、MOSトランジスタ、サイリスタ等の能動素子及び抵抗を有する半導体装置に関する。

【0002】

【従来の技術】従来、例えば、pn接合ダイオード及び拡散抵抗からなるモノリシックの半導体装置としては、図9に示すように、裏面電極（第2主面電極）1が形成されたn型半導体基板2の表面側に一方（図示右側）のチップ分割端（スクライブ端）2a側に寄せて他方（図示左側）のチップ分割端2aから離し島状のp型不純物導入領域3を形成し、n型半導体基板2及びp型不純物導入領域3の双方の表面に導電接触する表面電極（第1主面電極）4を形成してなる構造である。ここで、p型不純物導入領域3は縦形接合ダイオードDのアノード領域で、p型不純物導入領域3の下方側のn型半導体基板2の領域がカソード領域である。また、p型不純物導入領域3がチップ分割端2a側を残しオフセットさせて形成されているので、基板内において表面電極4がn型半導体基板2に導電接触する領域下には並列抵抗Rとして縦形拡散抵抗領域5が形成されている。

【0003】

【発明が解決しようとする課題】しかしながら、上記のモノリシック構造を有する半導体装置にあつては、次のような問題点がある。即ち、ウェハプロセスにおいては、図10に示すように、円盤状のウェハ内にチップ分割端（スクライブライン）2aを境界として多数の同様の素子が作り込まれているが、このウェハプロセス（スクライビング以前）において、各チップに対応するバルク毎の素子特性及びその良否を判定するテストを実施すると、ウェハ工程ではあるバルクの縦形拡散抵抗領域5（図10中縦線ハッチングで示す）が表面電極4の基板2に導電接触する領域からスカート状に拡がりをもって裏面電極1に達しているため、その拡散抵抗領域の一部が図9の符号5aで示すように当該バルクからはみ出て隣接バルクの基板へも進入している。このため、実質的な抵抗断面積がスクライビング後のチップのものに比して必然的に大きくなっている。従って、このウェハプロセスでの抵抗値はスクライビング後のチップ（図9）の

ものに比して必ず小さな値で測定されることになり、ウェハ状態では正確な良否判定がどうしても得られないという問題があった。

【0004】そこで、本発明の課題は上記問題点に鑑み、能動素子と縦形拡散抵抗を有するモノリシック半導体装置において、縦形拡散抵抗の形成領域を改良することにより、ウェハプロセス段階での拡散抵抗の測定値がスクライビング後の測定値に近くなるような半導体装置を実現することにある。

【0005】

【課題を解決するための手段】上記課題を解決するために、本発明は、第1導電型の半導体基板の第1の主面側に形成された第2導電型の不純物導入領域を有し、半導体基板の第1の主面と半導体基板の第2の主面に導電接触する第2主面電極部との間で電流が流れる能動素子と、半導体基板内において第1の主面に導電接触する第1主面電極部と第2主面電極部の間に形成される縦形拡散抵抗領域とを備えた半導体装置において、不純物導入領域を平面ループ状に形成してなることを特徴とする。換言すると、不純物導入領域を平面ループ状に形成し、第1主面のうちループ状の不純物導入領域に囲まれた領域と第2主面電極部との間に縦形拡散抵抗領域を限定的に形成したものである。チップ内に作り込む素子数やその種類により平面ループ状の不純物導入領域の配置や規模はさまざまであるが、チップ内に作り込まれる素子が能動素子と抵抗の並列回路のみの場合は、この平面ループ状の不純物導入領域をチップ分割端に沿って周回した領域とすることができる。また、本発明ではループ状とは一部に欠損部を有する開ループも含まれるが、閉ループであることが最も望ましい。能動素子と抵抗とはそれぞれ独立でも良く、また並列接続されていても良い。

【0006】能動素子として縦形接合ダイオードの場合は、不純物導入領域がアノード領域又はカソード領域である。

【0007】また、縦形バイポーラトランジスタの場合は、不純物導入領域がベース領域である。かかる場合、第1主面電極部がベース領域にも導電接触しているときには、ベース・コレクタ間に抵抗が挿入された回路となる。また、ベース領域にエミッタ領域が形成され、第1主面電極部が該エミッタ領域にも導電接触しているときには、エミッタ・コレクタ間に抵抗が挿入された回路となる。

【0008】更に、能動素子が縦形2重拡散MOSFETの場合は、不純物導入領域がその縦形2重拡散MOSFETのチャネル拡散領域である。

【0009】また更に、能動素子が縦形サイリスタの場合は、不純物導入領域がそのゲート領域である。ここで、第1主面電極部がゲート領域にも導電接触しているときには、ゲート・アノード間に抵抗が挿入された回路となる。ゲート領域の主面側にはカソード領域が形成さ

れ、第1主面電極部がカソード領域にも導電接触しているときには、カソード・アノード間に抵抗が挿入された回路となる。そして、半導体基板の第2主面側にゲート領域と対峙するよう平面ループ状のアノード領域を形成しても良い。

【0010】上記の第2導電型の不純物領域としては単一で連続的に形成されて成るものであるが、このような形態に限らず、第2導電型の不純物領域は多数独立の領域で群を成し、平面ループ状に多数整列的に形成されていても良く、このような第2導電型の不純物領域の各々が上記能動素子の単位セルを形成していても良い。

【0011】

【作用】上述のように、不純物導入領域を平面ループ状に形成した構造であれば、そのループに囲まれた半導体基板の第1主面領域が縦形拡散抵抗領域の一方の電極接触領域となるので、縦形拡散抵抗領域がチップ分割端側に偏って形成されず、チップ分割端側には必ず不純物導入領域が存在しているので、チップ分割端迄は到達しないとみれる縦形拡散抵抗領域が限定的に形成される。このため、ウェハプロセス（スクライビング以前）においても、縦形拡散抵抗領域はチップ分割端から離れており、且つループ状不純物導入領域のピンチ効果による抵抗領域の拡がり抑制も多少作用し、実質上、隣接バルク内への縦形拡散抵抗領域のはみ出しがないとみられる。この結果、スクライビングによって実質的な抵抗値を決定する拡散抵抗領域を切捨てることが起こらず、スクライビング以前の抵抗値がスクライビング後の抵抗値に非常に近づく。従って、ウェハ段階での素子特性及び良否判定を正確に行なうことができ、良否選別の精度が増す。

【0012】第2導電型の不純物領域は平面ループ状に多数整列的に形成され、第2導電型の不純物領域の各々は上記能動素子の単位セルを形成している場合においても、これらに取り囲まれる抵抗領域の拡がりにはチップ分割端迄に到達しないので、上記と同様な作用効果を奏する。

【0013】

【実施例】次に、本発明の実施例を添付図面に基づいて説明する。

【0014】〔実施例1〕図1(a)は本発明の実施例1に係る接合ダイオードと抵抗を並列接続した回路を有するモノリシック半導体装置を示す断面図で、図1

(b)は同装置の平面図である。

【0015】この半導体装置は、裏面電極（第2主面電極）10が形成されたn型半導体基板12の表面側にチップ分割端12aに沿って周回する平面閉ループ状（ドーナツ状）のp型不純物導入領域13が形成されており、その中央部12bはp型不純物導入領域13の非形成領域として残されている。p型不純物導入領域13及び半導体基板12の中央部12bの表面には表面電極

5

(第1主面電極)14が導電接触している。ここで、p型不純物導入領域13は縦形の接合ダイオードDのアノード領域で、p型不純物導入領域13の下方側のn型半導体基板12の領域がカソード領域である。また、表面電極14が導電接触する領域と裏面電極10との間の中央部12bが縦形拡散抵抗領域を形成している。不純物導入領域13が平面閉ループ状であり、そのループに囲まれた半導体基板12の中央部12bの表面が縦形拡散抵抗領域の一方の電極接触領域となっているので、縦形拡散抵抗領域がチップ分割端12a側に偏って形成されず、基板厚み方向に対して左右対称形でチップ分割端12aでは途絶しないといわれる縦形拡散抵抗領域が形成されている。図2はウェハプロセス(スクライビング以前)における半導体装置を示す断面図である。ウェハ状態においても、縦形拡散抵抗領域12b(縦線ハッチングで図示)はチップ分割端(スクライプライン)12aから離れている。またループ状不純物導入領域13のピンチ効果による抵抗領域の拡がり抑制も多少作用し、実質上、隣接バルク内に縦形拡散抵抗領域のはみ出しがないとみられる。換言すると、図2のウェハをチップ分割端12aでスクライブして図1に示す半導体チップを作成しても、縦形拡散抵抗領域の抵抗値に寄与する電流経路部分が切り落とされてしまうことがなく、そのままそっくり切り出すことができる。

【0016】従って、拡散抵抗値がスクライビング前後では殆ど変わらず、スクライビング以前の抵抗値がスクライビング後の抵抗値に非常に近くなるので、素子特性及び良否判定を正確に行なうことができ、不良品のウェハ工程での排除が可能で、半導体装置の低コスト化及び信頼性の向上に寄与する。

【0017】なお、本例においては、チップ内に作り込む素子はダイオードDと抵抗Rのみであるので、p型不純物導入領域13をチップ分割端12aに沿って周回させてあるが、他の素子をも作り込む必要がある場合には、p型不純物導入領域13はループ状に形成するもチップ平面の一部領域に形成しても良い。また本例のp型不純物導入領域13は閉ループ状(リング状)であるが、欠損部を一部に有する開ループ状であっても、実質上、上記の効果と略同様の効果を達成できる。

【0018】〔実施例2〕図3(a)は、本発明の実施例2に関し、npn型バイポーラトランジスタとそのエミッタ・コレクタ間に並列接続された抵抗とを示す回路図であり、図3(b)は同回路を有するモノリシック半導体装置を示す断面図である。この半導体装置のn型半導体基板12には能動素子として縦形のnpn型バイポーラトランジスタ Q_{npn} が形成されている。即ち、n型半導体基板12の表面側にはp型ベースBである平面閉ループ状のpウェル31が形成され、このpウェル31の内側の表面側にはn型エミッタ領域32が形成されている。pウェル31の外側表面には平面リング状のベー

6

ス電極33が導電接触している。また、n型エミッタ領域32と中央部12bの表面にはエミッタ電極(第1主面電極)34が導電接触している。更に、基板12の裏面にはコレクタ電極(第2主面電極)36が導電接触している。なお、35は絶縁膜である。

【0019】このような構造においても、ループ状のpウェル31の存在によってエミッタ・コレクタ間の縦形拡散抵抗領域Rが基板の中央部12bに形成されるため、縦形拡散抵抗領域は実質的に拡がり狭く、チップ分割端12aで電流経路が途切れることはない。従って、本例においても、スクライビング以前の抵抗値をスクライビング後の抵抗値に近づけることができ、良否判定の正確さを向上させることができる。

【0020】〔実施例3〕図4(a)は、本発明の実施例3に関し、npn型バイポーラトランジスタとそのベース・コレクタ間に並列接続された抵抗とを示す回路図であり、図4(b)は同回路を有するモノリシック半導体装置を示す断面図である。なお、図4において図3に示す部分に同一符号を付し、その説明は省略する。本例において実施例2の部分と異なる点は、pウェル31の外側の表面側に平面閉ループ状のn型エミッタ領域42が形成されており、n型エミッタ領域42の表面には平面閉ループ状のエミッタ電極43が導電接触していると共に、pウェル31の内側領域及び中央部12bの表面側にベース電極(第1主面電極)44が導電接触しているところにある。

【0021】かかる場合も、ループ状のpウェル31の存在によってnpn型バイポーラトランジスタ Q_{npn} のベース・コレクタ間の並列抵抗Rが縦形拡散抵抗領域として中央部12bに限定的に形成されるので、抵抗の電流経路がチップ分割端12aで途切れることはなく、その抵抗測定値はスクライビング前後で殆ど変わらない。

【0022】〔実施例4〕図5(a)は、本発明の実施例4に関し、nチャネル型パワーMOSFETとそのソース・ドレイン間に並列接続された抵抗とを示す回路図であり、図5(b)は同回路を有するモノリシック半導体装置を示す断面図である。この半導体装置は、ドレイン電極である裏面電極41が裏面に導電接触したn型半導体基板12の表面側に形成された平面ループ状の内側pウェル49及び外側pウェル50と、内側pウェル49、外側pウェル50の表面側に形成されたn型ソース領域42a、43aと、ゲート絶縁膜45aを介して形成された平面ループ状のポリシリコンゲート電極45と、ソース電極46とを有している。2重拡散型の縦形MOSFETでは図示破線矢印のような電子電流が流れるが、チャネル拡散領域としての内側pウェル49がループ状であることにより、内側ソース電極46とドレイン電極41の間の中央部12bが縦形拡散抵抗として並列抵抗Rを形成している。なお、47、48は絶縁膜である。

10

20

30

40

50

【0023】かかる半導体装置においても、ループ状の内側pウェル49が不純物導入領域として縦形拡散抵抗領域の空間的拡がりを規制しているため、その縦形拡散抵抗領域が実質的にはチップ分割端12aでは終端していない。従って、本例においても、スクライビング以前の抵抗値をスクライビング後の抵抗値に近づけることができ、良否判定の正確さを向上させることができる。

【0024】〔実施例5〕図6(a)は、本発明の実施例5に関し、サイリスタとそのカソード・アノード間に並列接続された抵抗とを示す回路図であり、図6(b)は同回路を有するモノリシック半導体装置を示す断面図である。この半導体装置は、裏面にアノード電極である裏面電極51が導電接触したn型半導体基板12の裏面側に形成された平面ループ状のp型ウェル52と、n型半導体基板12の表面側に形成された平面ループ状のp型ウェル53と、そのp型ウェル53の内側表面に形成された平面ループ状のn型領域54と、p型ウェル53の外側表面に導電接触する平面ループ状のゲート電極55と、n型領域54及び半導体基板12の中央部12bの表面に導電接触するカソード電極(第1主面電極)56とを有している。なお、57は絶縁膜である。

【0025】かかる半導体装置においてはp型ウェル52、n型半導体基板12、p型ウェル53及びn型領域54がpnpn構造の縦形サイリスタTHを構成しているが、半導体基板12の表面側に形成されたループ状のp型ウェル53と裏面側に形成されたループ状のp型ウェル52とが不純物導入領域として抵抗Rの縦形拡散抵抗領域の空間的拡がりを規制しており、縦形拡散抵抗領域がチップ分割端12aで終端することがない。従って、上記各実施例の場合と同様な効果を有する。

【0026】しかも、本例においては裏面側のp型ウェル52が表面側のp型ウェル53と対峙するようループ状に形成されているため、縦形拡散抵抗領域の空間的拡がりをより強く規制できる。

【0027】〔実施例6〕図7(a)は、本発明の実施例6に関し、サイリスタとそのゲート・アノード間に並列接続された抵抗とを示す回路図であり、図7(b)は同回路を有するモノリシック半導体装置を示す断面図である。なお、図7において図6に示す部分に同一符号を付し、その説明は省略する。本例において実施例5の部分と異なる点は、pウェル53の外側の表面側に平面閉ループ状のn型領域64が形成されており、n型領域64の表面には平面閉ループ状のカソード電極65が導電接触していると共に、pウェル53の内側領域及び中央部12bの表面側にゲート電極66が導電接触しているところにある。かかる構造においても、実施例5と同様に、半導体基板12の表面側に形成されたループ状のp型ウェル53と裏面側に形成されたループ状のp型ウェル52とが不純物導入領域として抵抗Rの縦形拡散抵抗領域の空間的拡がりを強く規制しており、縦形拡散抵抗

領域がチップ分割端12aで終端することがない。従って、本例においても、スクライビング以前の抵抗値をスクライビング後の抵抗値に近づけることができ、良否判定の正確さを向上させることができる。

【0028】〔実施例7〕図8(a)は本発明の実施例7に関し、縦形nチャネル型パワーMOSFETとそのソース・ドレインに接続された抵抗とを有する回路のモノリシック半導体装置を示す平面図、図8(b)はその断面図、図8(c)はそのMOSFET部を示す断面図である。この半導体装置においては、MOSFET部60の平面4角形のP型ウェル49がMOS部の単位セルとしてチップの中央部の12bの周りに平面ループ状に多数整列されている。MOSFET部60は、図8

(c)に示すように、N型半導体基板12の主面側にそれぞれ独立に形成された多数のPウェル49と、Pウェル49内に形成された平面ループ状のN型ソース42aと、ゲート絶縁膜45aを介して形成されたポリシリコンのゲート電極45と、N型ソース42aに導電接触するソース電極46と、半導体基板12の裏面側に形成されたドレイン電極41とを有している。なお、基板12の外周には周知のフィールドプレート、ガードリング等の耐圧構造を施しても良い。

【0029】2重拡散型の縦形MOSFET部60では図8(c)の図示破線矢印のような電子電流が流れるが、チャネル拡散領域としての多数のpウェル49が中央部12bを囲むように平面ループ状であることにより、ソース電極46とドレイン電極41の間の中央部12bが縦形拡散抵抗として並列抵抗Rを形成している。

【0030】かかる半導体装置においても、ループ状の多数のpウェル49が不純物導入領域として縦形拡散抵抗領域の空間的拡がりを規制しているため、その縦形拡散抵抗領域が実質的にはチップ分割端12aでは終端していない。従って、本例においても、スクライビング以前の抵抗値をスクライビング後の抵抗値に近づけることができ、良否判定の正確さを向上させることができる。

【0031】なお、上記の実施例においては、接合ダイオード、バイポーラトランジスタ、MOSFET及びサイリスタを能動素子として示してあるが、これに限らず、IGBT、MCT等の他の能動素子の場合にも、半導体基板の表面側又は裏面側にループ状の不純物導入領域を形成し、そのループの中央部に縦形拡散抵抗の一方の電極接触部を設けることにより、チップ分割端には実質上到達しないような拡散抵抗領域を形成することができる。

【0032】

【発明の効果】以上説明したように、本発明は不純物導入領域を平面ループ状に形成し、第1主面のうちループ状の不純物導入領域に囲まれた領域と第2主面電極部との間に縦形拡散抵抗領域を限定的に形成した点を特徴とする。そのループに囲まれた半導体基板の第1主面領域

が縦形拡散抵抗領域の一方の電極接触領域である。チップ分割端側には必ず不純物導入領域が存在しているの
で、チップ分割端迄は到達しないとみれる縦形拡散抵抗
領域が形成される。このため、スクライビング以前にお
いても、縦形拡散抵抗領域はチップ分割端から離れてお
り、且つループ状不純物導入領域のピンチ効果による抵
抗領域の拡がり抑制も多少作用し、実質上、隣接バルク
内への縦形拡散抵抗領域のはみ出しが起こらない。この
結果、スクライビングによって実質的な抵抗値を決定す
る拡散抵抗領域を切捨てることなく、スクライビング
10 以前の抵抗値がスクライビング後の抵抗値に非常に近
づく。従って、ウェハ段階での素子特性及び良否判定を正
確に行なうことが可能となり、良否選別の精度が増す。
よって高信頼性で低コストの半導体装置を提供できる。

【0033】第2導電型の不純物領域が平面ループ状に
多数整列的に形成され、第2導電型の不純物領域の各々
が上記能動素子の単位セルを形成している場合において
も、これらに取り囲まれる抵抗領域の拡がりにはチップ分
割端迄に到達しないので、上記と同様な作用効果を奏す
る。

【図面の簡単な説明】

【図1】(a)は本発明の実施例1に係る接合ダイオードと抵抗を並列接続した回路を有するモノリシック半導体装置を示す断面図で、(b)は同装置の平面図である。

【図2】図1に示す半導体装置のウェハプロセス(スクライビング以前)におけるウェハ状態を示す断面図である。

【図3】(a)は、本発明の実施例2に関し、npn型バイポーラトランジスタとそのエミッタ・コレクタ間に並列接続された抵抗とを示す回路図であり、(b)は同回路を有するモノリシック半導体装置を示す断面図である。

【図4】(a)は、本発明の実施例3に関し、npn型バイポーラトランジスタとそのベース・コレクタ間に並列接続された抵抗とを示す回路図であり、(b)は同回路を有するモノリシック半導体装置を示す断面図である。

【図5】(a)は、本発明の実施例4に関し、n型パワーMOSFETとそのソース・ドレイン間に並列接続された抵抗とを示す回路図であり、(b)は同回路を有するモノリシック半導体装置を示す断面図である。

【図6】(a)は、本発明の実施例5に関し、サイリスタとそのカソード・アノード間に並列接続された抵抗と

を示す回路図であり、(b)は同回路を有するモノリシック半導体装置を示す断面図である。

【図7】(a)は、本発明の実施例6に関し、サイリスタとそのゲート・アノード間に並列接続された抵抗とを示す回路図であり、(b)は同回路を有するモノリシック半導体装置を示す断面図である。

【図8】(a)は本発明の実施例7に関し、縦形nチャネル型パワーMOSFETとそのソース・ドレインに接続された抵抗とを有する回路のモノリシック半導体装置を示す平面図、(b)はその断面図、(c)はそのMOSFET部を示す断面図である。

【図9】(a)は 従来例に関し、接合ダイオードとこれに並列接続した抵抗とを示す回路図で、(b)は同回路を有するモノリシック半導体装置を示す断面図である。

【図10】図9に示す半導体装置のウェハプロセス(スクライビング以前)におけるウェハ状態を示す断面図である。

【符号の説明】

10, 36, 41, 51…裏面電極(第2主面電極)

12…n型半導体基板

12a…チップ分割端(スクライプライン)

12…中央部

13…p型不純物導入領域

14…裏面電極

31, 49, 50, 52, 53…pウェル

32, 43…n型エミッタ領域

33, 42…エミッタ電極

36…コレクタ電極

35, 47, 48, 57…絶縁膜

42a, 43a…n型ソース領域

44…ベース電極

45…ポリシリコンゲート電極

45a…ゲート絶縁膜

46…ソース電極

54, 64…n型領域

55, 66…ゲート電極

56, 65…カソード電極

60…MOSFET部

D…縦形接合ダイオード

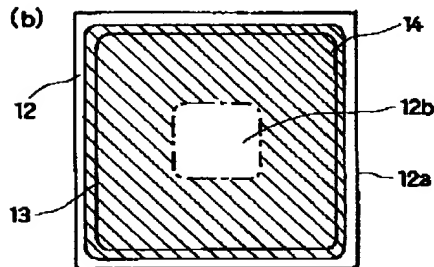
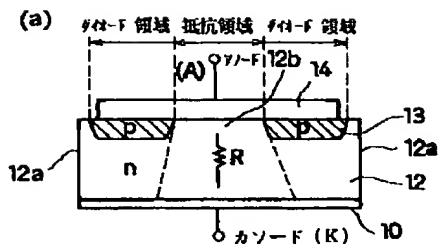
R…縦形拡散抵抗領域(抵抗)

Q_{npn}…縦形npnバイポーラトランジスタ

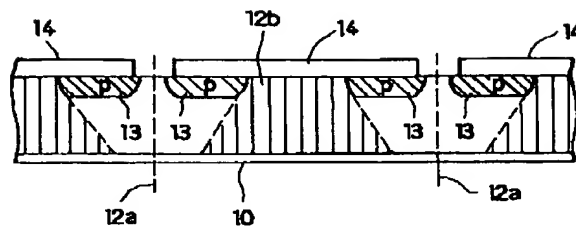
MOSFET…縦型MOSTランジスタ

TH…縦型サイリスタ。

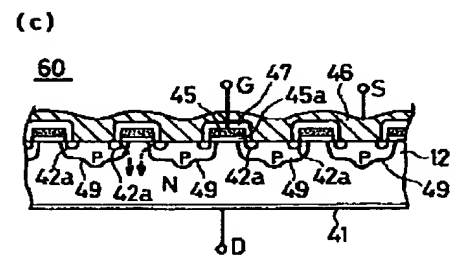
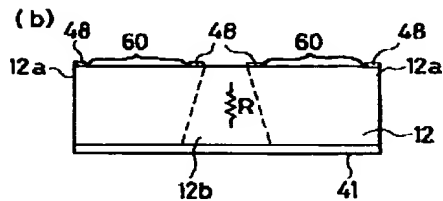
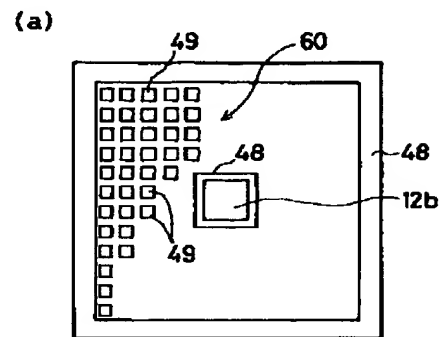
【図1】



【図2】

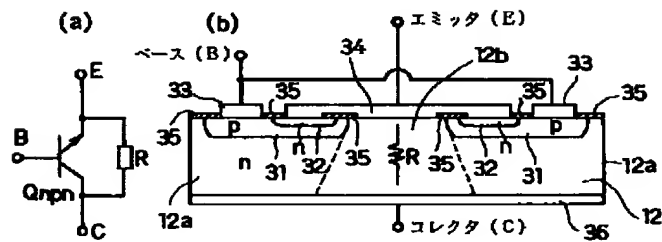


【図8】

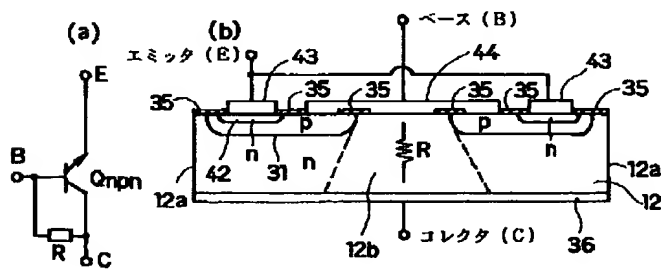


【図9】

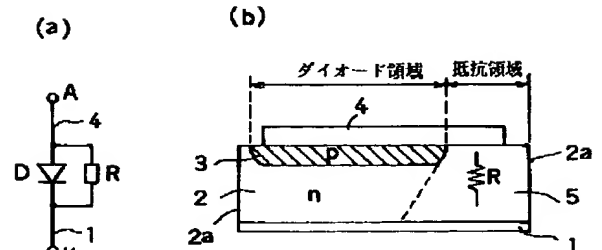
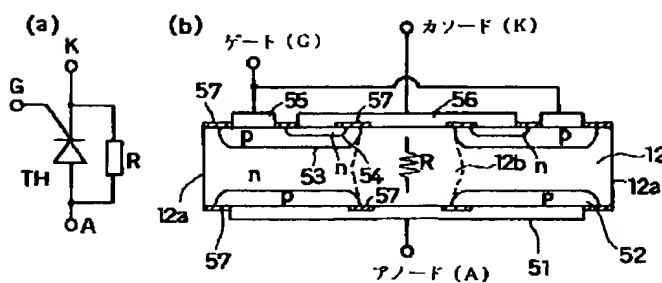
【図3】



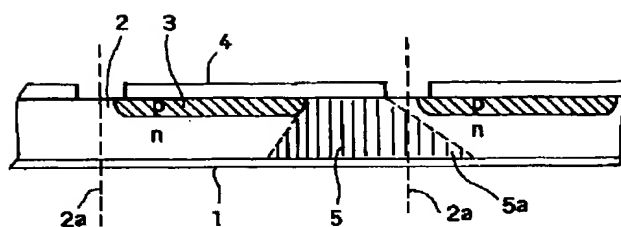
【図4】



【図6】



【図 10】



【図7】

